

DERWENT-ACC-NO: 1998-039739

DERWENT-WEEK: 199804

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Loop filter circuit used in phase locked loop
- uses
resistor buffer amplifier to connect level limiter to
circuit connected to first capacitor to form series
output and connected parallel to second capacitor between
amplifier negative input terminals of operational

PATENT-ASSIGNEE: VICTOR CO OF JAPAN[VICO]

PRIORITY-DATA: 1996JP-0129154 (April 24, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 09294051 A ✓	November 11, 1997	N/A
009 H03H 011/04		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 09294051A	N/A	1996JP-0129154
April 24, 1996		

INT-CL (IPC): H03H011/04, H03H011/12, H03L007/093

ABSTRACTED-PUB-NO: JP 09294051A

BASIC-ABSTRACT:

The circuit (LF1) includes a series connection of a resistor (R2) and a first capacitor (C1) which is connected parallel to a second capacitor (C2) between the negative polarity terminal and the output terminal of an operational amplifier (OA).

The phase-comparison signal (Vi) output from a phase comparator (I)

is input to
the negative polarity terminal of the operational amplifier. A level
limiter
(LL) is connected across the resistor through a buffer amplifier
(BA).

ADVANTAGE - Attains rapid response, and suppresses high-frequency
jitter
through second capacitor.

CHOSEN-DRAWING: Dwg.1/11

TITLE-TERMS: LOOP FILTER CIRCUIT PHASE LOCK LOOP BUFFER AMPLIFY
CONNECT LEVEL

LIMIT RESISTOR CONNECT FIRST CAPACITOR FORM SERIES
CIRCUIT CONNECT

PARALLEL SECOND CAPACITOR OUTPUT NEGATIVE INPUT TERMINAL
OPERATE

AMPLIFY

ADDL-INDEXING-TERMS:

PLL

DERWENT-CLASS: U23 U24 U25

EPI-CODES: U23-D01A7; U24-C02A; U25-E01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-032211

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-294051

(43)公開日 平成9年(1997)11月11日

(51) Int.Cl.⁸ 識別記号 序内整理番号 F I 技術表示箇所
 H 03H 11/04 8731-5J H 03H 11/04 K
 11/12 8731-5J 11/12 A
 H 03L 7/093 H 03L 7/08 E

審査請求 未請求 請求項の数2 FD (全 9 頁)

(21) 出願番号 特願平8-129154
(22) 出願日 平成8年(1996)4月24日

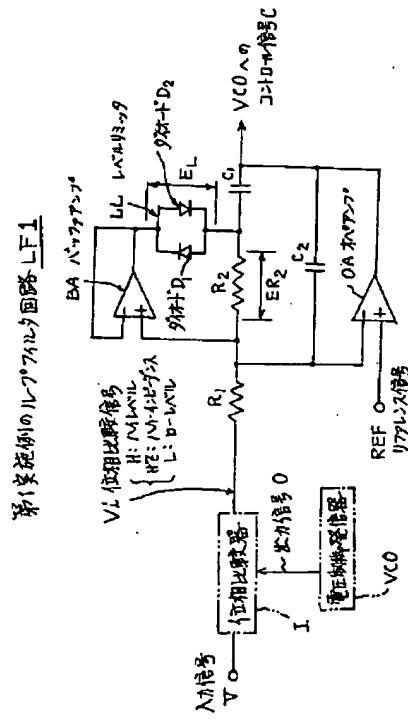
(71)出願人 000004329
日本ピクター株式会社
神奈川県横浜市神奈川区守屋町3丁目12番
地
(72)発明者 小笠原 仁
神奈川県横浜市神奈川区守屋町3丁目12番
地 日本ピクター株式会社内

(54) 【発明の名称】 ループフィルタ回路

(57) 【要約】

【課題】 入力信号の周波数が大きく急変した時にはバッファアンプを介して接続したレベルリミッタを動作させる一方、入力信号の周波数が大きく急変しない時にはレベルリミッタを動作させない。

【解決手段】 P L L に用いられるループフィルタ回路において、位相比較器 I から出力された位相比較信号 V_i をオペアンプ OA の負極性端子に入力し、且つ、抵抗 R_2 及びこの抵抗 R_2 と直列に接続した第1のコンデンサ C_1 と、第2のコンデンサ C_2 とをオペアンプ OA の負極性端子と出力端子間に夫々並列に接続する。



1

【特許請求の範囲】

【請求項1】PLLに用いられるループフィルタ回路において、位相比較器から出力された位相比較信号を負極性端子に入力され、且つ、抵抗及びこの抵抗と直列に接続した第1のコンデンサと、第2のコンデンサとを前記負極性端子と出力端子間に夫々並列に接続したオペアンプと、前記抵抗の両端間にバッファアンプを介して接続したレベルリミッタとを具備したことを特徴とするループフィルタ回路。

【請求項2】PLLに用いられるループフィルタ回路において、位相比較器から出力された位相比較信号を負極性端子に入力され、且つ、抵抗及びこの抵抗と直列に接続した第1のコンデンサと、第2のコンデンサとを前記負極性端子と出力端子間に夫々並列に接続したオペアンプと、前記抵抗の両端間にバッファアンプを介して接続したレベルリミッタとを具備したことを特徴とするループフィルタ回路。

前記電位差監視回路で監視した前記電位差が所定の設定レベルを越えたことを判別するレベル判別回路と、前記レベル判別回路で判別した結果により前記抵抗のいずれか一方の端子に電流を加算する電流加算回路とを具備したことを特徴とするループフィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLLに用いられるループフィルタ回路に関するものである。

【0002】

【従来の技術】一般的に、PLL (Phase Locked Loop) は、図8に示すように、内部に位相比較器 I, ループフィルタ回路 LF, 誤差信号増幅器 A, 電圧制御発振器 VCO (Voltage Controlled Oscillator) を有する帰還系である。上記位相比較器 I は、入力信号 V の周波数ならびに位相と、VCO の発振周波数ならびに位相とを比較し、その誤差に比例した位相比較信号 V_i を発生する。この位相比較信号 V_i はループフィルタ回路 LF を通って制御信号 V_c として VCO に加えられ、入力信号 V と VCO の出力信号 O との周波数差ならびに位相差を低減する方向に VCO の発生周波数を変化させるものである。

【0003】一方、図9及び図10に示したように、この種のPLLに用いられる従来の一般的なループフィルタ回路 100, 200 は、周知の抵抗、コンデンサ、オペアンプを用いて夫々図示のように接続して構成されており、図9及び図10に構成部材の符号だけを付す。

【0004】上記ループフィルタ回路 100, 200 は、共にチャージポンプ式と呼ばれる手法によるものである。そして、前者のループフィルタ回路 100 は定常位相誤差をなくしつつ安定な応答特性を得るものであり、一方、後者のループフィルタ回路 200 は更に高域

ジッタの抑圧をも狙った回路である。

【0005】また、PLLに用いられる従来の一般的なループフィルタ回路の他例が特開平3-119818号公報に図11に示した如く開示されている。

【0006】図11に示した如く、リミッタ回路 306 を採用したループフィルタ回路 300 では、位相比較器 (図示せず) から出力された位相比較信号 V_i が抵抗 301 を介してオペアンプ 302 の反転入力端子に接続されている。また、オペアンプ 302 の反転入力端子と出

力端子との間には、コンデンサ 303 及びこのコンデンサ 303 と直列に接続した抵抗 304 と、コンデンサ 305 及びこのコンデンサ 305 と直列に接続したリミッタ回路 306 とが夫々並列に接続されている。この際、リミッタ回路 306 は2個のダイオード 306a, 306b を用いて図示のように接続されている。

【0007】上記の構成によるループフィルタ回路 300 において、位相比較信号 V_i に振幅の大きい交流電圧が加わった時には、ダイオード 306a, 306b のインピーダンスがダイオード 306a, 306b に加わる

電圧に対して指数的に低くなるため、コンデンサ 305 のインピーダンスが十分低くなるような周波数であれば出力振幅はダイオード 306a, 306b のオン電圧に制限される。このため、位相比較信号 V_i がある程度高い周波数であり且つ振幅の大きい信号に対してリミッタ回路 306 が動作して不要な信号を制限し且つオペアンプ 302 の飽和を防いでいる。この回路目的は、PLL のデッドロックに結びつくオペアンプ 302 の飽和を防ぐことが第一義であり、この結果としてリミッタ回路 306 が動作する時は不要な高域ジッタが制限されたと理解できるものである。

【0008】

【発明が解決しようとする課題】ところで、上記リミッタ回路 306 を採用したループフィルタ回路 300 では、入力信号 V の高域ジッタが大きい場合に想定されるような、位相比較信号 V_i がある程度高い周波数であり且つ振幅の大きい信号に対してリミッタ回路 306 が動作しているものの、入力信号 V の周波数が例えばステップ状に大きく急変した時にPLLを速く応答させるためのものなく、更に、入力信号 V の周波数が大きく急変しない時に高域ジッタの発生を押さえるものでない。

【0009】また、前述した一般的なループフィルタ回路 100, 200 も、入力信号 V の周波数が大きく急変した時にPLLの速い応答性が得られるものでない。その理由を以下に述べる。

【0010】上記ループフィルタ回路 100, 200, 300 において、入力信号 V の周波数がステップ状に大きく急変した時のPLLの追従性の速さは、例えば図11中のコンデンサ 303 及び抵抗 304 で設定される時定数に依存するところが大である。ここで、時定数が小さいほど応答性が良くなるものの、時定数が小さいと低

域変動に追従し易くなるために低域ジッタは多くなる。つまり、ループフィルタ回路100, 200, 300では、入力信号Vの周波数が大きく変化した時の応答性の良さと、低域ジッタの少なさとの両立が困難である。

【0011】そこで、入力信号Vの周波数変化に対応して、大きな変化時には速い応答性を持ち、且つ、小さな変化時にはジッタを抑圧できるループゲイン特性の良いループフィルタ回路が望まれている。

【0012】

【課題を解決するための手段】本発明は上記課題に鑑みてなされたものであり、第1の発明は、PLLに用いられるループフィルタ回路において、位相比較器から出力された位相比較信号を負極性端子に入力され、且つ、抵抗及びこの抵抗と直列に接続した第1のコンデンサと、第2のコンデンサとを前記負極性端子と出力端子間に夫々並列に接続したオペアンプと、前記抵抗の両端間にバッファアンプを介して接続したレベルリミッタとを具備したことを特徴とするループフィルタ回路である。また、第2の発明は、PLLに用いられるループフィルタ回路において、位相比較器から出力された位相比較信号を負極性端子に入力され、且つ、抵抗及びこの抵抗と直列に接続した第1のコンデンサと、第2のコンデンサとを前記負極性端子と出力端子間に夫々並列に接続したオペアンプと、前記抵抗の両端間に電位差監視回路と、前記電位差監視回路で監視した前記電位差が所定の設定レベルを越えたことを判別するレベル判別回路と、前記レベル判別回路で判別した結果により前記抵抗のいずれか一方の端子に電流を加算する電流加算回路とを具備したことを特徴とするループフィルタ回路である。

【0013】

【発明の実施の形態】以下に本発明に係わるループフィルタ回路の実施例を図1乃至図7を参照して<第1実施例>、<第2実施例>、<第3実施例>の順に詳細に説明する。

【0014】

【実施例】

<第1実施例>図1は本発明に係わる第1実施例のループフィルタ回路を示した図、図2は同第1実施例のループフィルタ回路を採用したPLLのループゲイン特性を説明するための図、図3(A), (B)は同第1実施例のループフィルタ回路の動作を説明するための波形図である。

【0015】図1に示した本発明に係わる第1実施例のループフィルタ回路LF1は、先に図8を用いて説明したPLL(Phase Locked Loop)に用いられるものである。

【0016】即ち、図1に示した本発明に係わる第1実施例のループフィルタ回路LF1において、位相比較器Iは入力信号Vと電圧制御発振器VCO(Voltage Cont

rolled Oscillator)からの出力信号Oとを位相比較して位相比較信号Viを出力している。この位相比較信号Viは、ハイレベルH、又は入力がないハイ・インピーダンスHZ、又はローレベルLの3つの状態を取り得るものである。ここで、位相比較信号Viは第1の抵抗R1を介してオペアンプOAの負(-)極性端子に入力される一方、位相比較信号ViのハイレベルHとローレベルLの中間の電位となるリファレンス信号REFがオペアンプOAの正(+)極性端子に入力されている。

10 【0017】また、オペアンプOAの負(-)極性端子と出力端子との間には、第2の抵抗R2及びこの抵抗R2と直列に接続した第1のコンデンサC1と、第2のコンデンサC2とが夫々並列に接続されている。

【0018】更に、抵抗R2の両端間には、本発明の要部となるバッファアンプBAと、2個のダイオードD1, D2を用いたレベルリミッタLLとが直列に接続されている。即ち、抵抗R2のオペアンプOAとの接続部からバッファアンプBAの入力端子へ入力している。また、バッファアンプBAの出力端子からレベルリミッタLLの一端に接続し、且つ、レベルリミッタLLの他端は抵抗R2とコンデンサC1との間に接続されている。ここで、抵抗R2の両端間にバッファアンプBAを介して接続したレベルリミッタLLは、2個のダイオードD1, D2の向きを図示のように-+の互いの逆極を各々接続し、且つ、ダイオードD1, D2の接続部がレベルリミッタLLの一端、他端となるように設けてい

る。

20 【0019】次に、図2に示した如く、上記の構成による第1実施例のループフィルタ回路LF1を採用したPLL(Phase Locked Loop)のループゲイン特性は、PLLをかけるための入力信号Vの周波数fが、例えば周波数f1以下の範囲では-12dB/OCTの傾斜となり、周波数f1より高く且つ周波数f2より低い範囲では-6dB/OCTの傾斜となり、周波数f2以上の範囲では-12dB/OCTの傾斜となり、各傾斜の交点となる周波数f1, f2で傾斜が緩やかにクロスしている。

30 【0020】この際、コンデンサC1の値がコンデンサC2の値より十分大きいとして第1実施例のループフィルタ回路LF1を設計するならば、周波数f1はコンデンサC1と抵抗R2により算出できその概略値は周波数f1 = 1/2πC1R2となり、周波数f2はコンデンサC2と抵抗R2により算出できその概略値は周波数f2 = 1/2πC2R2となると共に、周波数f1と周波数f2の間の-6dB/OCTの傾斜と0dBゲインラインとが交わる点にループゲイン交点周波数fxがある。

40 【0021】次に、上記の構成による第1実施例のループフィルタ回路LF1の動作を、①入力信号Vの周波数fが大きく急変した時と、②入力信号Vの周波数fが大

きく急変しない時とに別けて、図1乃至図3を併用して説明する。

【0022】まず、①入力信号Vの周波数fが大きく急変した時には、抵抗R₂の両端にバッファアンプBAを介して接続したレベルリミッタL₁が動作する。即ち、図3(A)に示した如く、入力信号Vの周波数fが大きく急変する時には、位相比較器Iから出力された位相比較信号V_iが例えばハイ・インピーダンスHZから長時間に亘ってローレベルLに変化する。このローレベルLの期間中において、抵抗R₂の両端電圧E_{R2}がコンデンサC₂のチャージが進むある時間を過ぎるとレベルリミッタL₁の両端電圧E_{L1}に押さえられる。この場合には、バッファアンプBAからの電流をレベルリミッタL₁を介してコンデンサC₁に供給して、コンデンサC₁へのチャージを強力に行うことで、実質的にコンデンサC₁の容量が低くなつたように動作するため、入力信号Vのうちでループゲイン交点周波数f_x以下の周波数f₁が一時的に高くなり応答性の良いループフィルタを実現できる。これを、VCOへのコントロール信号Cの変化で見ると、レベルリミッタL₁がない場合に比べて早い時間で立ち上がっており、位相誤差が少ない状態で希望するコントロール電圧へ達する優れた応答性が得られている。

【0023】次に、②入力信号Vの周波数fが大きく急変しない時には、レベルリミッタL₁が動作しない。即ち、図3(B)に示した如く、入力信号Vの周波数fが大きく急変しない時には、位相比較器Iから出力された位相比較信号V_iが例えばハイ・インピーダンスHZから短時間に亘ってローレベルLに変化する。このローレベルLの期間中では、抵抗R₂の両端電圧E_{R2}がコンデンサC₂のチャージに伴って、ある程度まで上昇するものの、ほどなくコントロール電圧が希望値に達するため、レベルリミッタL₁の両端電圧E_{L1}の値まで到達しない。この場合には、レベルリミッタL₁が動作しないため、本来のコンデンサC₁の効果が発揮でき、入力信号Vのうちでループゲイン交点周波数f_x以下の周波数f₁を低く保つて低域ジッタの少ないループフィルタを実現できる。

【0024】更に、入力信号Vの周波数fが急変する時もしない時も、ループゲイン交点周波数f_x以上の高い周波数f₂を越える範囲に対してコンデンサC₂の働きにより高域ジッタを押さえることができる。

【0025】<第2実施例>図4は本発明に係わる第2実施例のループフィルタ回路を示した図、図5は本発明に係わる第2実施例のループフィルタ回路を一部変形して示した図である。

【0026】図4に示した本発明に係わる第2実施例のループフィルタ回路LF2Aは、先に説明した第1実施例のループフィルタ回路LF1と一部を除いて同様の構成であり、ここでは説明の便宜上、先に示した構成部材

に対しては同一の符号を付し、且つ、異なる構成部材に新たな符号を付して、第1実施例と異なる点を中心に説明する。

【0027】図4に示した如く、本発明に係わる第2実施例のループフィルタ回路LF2Aでは、レベルリミッタL₁に2個のトランジスタTr₁、Tr₂を用いた点のみが第1実施例と異なっている。

【0028】即ち、レベルリミッタL₁を構成する2個のトランジスタTr₁、Tr₂は、n-p-n型とp-n-p型とを閉ループ状態で接続し、且つ、トランジスタTr₁、Tr₂間にレベルリミッタL₁の一端、他端を夫々設けている。

【0029】この第2実施例のループフィルタ回路LF2Aでも、先に説明した第1実施例のループフィルタ回路LF1と同様に、①入力信号Vの周波数fが大きく急変した時にはレベルリミッタL₁が動作する一方、②入力信号Vの周波数fが大きく急変しない時にはレベルリミッタL₁が動作しないため、第1実施例と同様の効果を得られる。

【0030】尚、図5に示した如く、第2実施例を一部変形したループフィルタ回路LF2Bは、第1のコンデンサC₁を抵抗R₂の前に接続し、これに伴つてレベルリミッタL₁、バッファアンプBAも図示のように接続して構成したものであり、上記ループフィルタ回路LF2Aと略同様な動作により略同様な効果が得られるものである。

【0031】<第3実施例>図6は本発明に係わる第3実施例のループフィルタ回路を示した図、図7は本発明に係わる第3実施例のループフィルタ回路を一部変形して示した図である。

【0032】図6に示した本発明に係わる第3実施例のループフィルタ回路LF3Aは、先に説明した第1、第2実施例のループフィルタ回路LF1、LF2A、LF2Bと一部を除いて同様の構成であり、ここでは説明の便宜上、先に示した構成部材に対しては同一の符号を付し、且つ、異なる構成部材に新たな符号を付して、第1実施例と異なる点を中心に説明する。

【0033】図6に示した如く、本発明に係わる第3実施例のループフィルタ回路LF3Aでは、第1、第2実施例で説明したバッファアンプBAとレベルリミッタL₁とを設けることなく、これらに代えて抵抗R₂の両端に電位差監視回路VK、レベル判別回路LH、電流加算回路IKを順に接続している。

【0034】即ち、抵抗R₂の両端に接続した電位差監視回路VKは、抵抗R₂の両端間の電位差を監視し、この監視した電位差をレベル判別回路LHに出力している。レベル判別回路LHは、監視した電位差と、ここに入力した所定の設定レベルとを比較して、監視した電位差が所定の設定レベルを越えたことを判別すると、電流加算制御信号を電流加算回路IKに出力するので、電流

加算回路IKは電流を抵抗R₂の図示した一方の端子に出力して、この電流を第1のコンデンサC₁に供給している。

【0035】従って、上記構成に伴う動作によって、とくに、①入力信号Vの周波数fが大きく急変した時には、抵抗R₂の両端間の電位差が所定の設定レベルを越え、これに伴って電流加算回路IKから電流を第1のコンデンサC₁に供給して、第1のコンデンサC₁へのチャージを強力に行うことで、実質的に第1のコンデンサC₁の容量が低くなつたように動作するため、入力信号Vのうちでループゲイン交点周波数f_x以下の周波数f₁が一時的に高くなり応答性の良いループフィルタを実現できる。

【0036】一方、②入力信号Vの周波数fが大きく急変しない時には、電流加算回路IKが動作しないため、本来のコンデンサC₁の効果が発揮でき、入力信号Vのうちでループゲイン交点周波数f_x以下の周波数f₁を低く保つて低域ジッタの少ないループフィルタを実現できる。

【0037】更に、入力信号Vの周波数fが急変する時もしない時も、ループゲイン交点周波数f_x以上の高い周波数f₂を越える範囲に対してコンデンサC₂の働きにより高域ジッタを押さえることができる。

【0038】尚、図7に示した如く、第3実施例を一部変形したループフィルタ回路LF3Bは、第1のコンデンサC₁を抵抗R₂の前に接続し、これに伴つて電流加算回路IKからの電流を抵抗R₂の図示した他方の端子に出力して、この電流を抵抗R₂の前に接続した第1のコンデンサC₁に供給するように構成したものであり、上記ループフィルタ回路LF3Aと略同様な動作により略同様な効果が得られるものである。

【0039】

【発明の効果】以上詳述した本発明に係わるループフィルタ回路LFにおいて、第1の発明によると、位相比較器Iから出力された位相比較信号V_iをオペアンプOAの負極性端子に入力し、且つ、抵抗R₂及びこの抵抗R₂と直列に接続した第1のコンデンサC₁と、第2のコンデンサC₂とをオペアンプOAの負極性端子と出力端子間に夫々並列に接続すると共に、抵抗R₂の両端間にバッファアンプBAを介してレベルリミッタL_Lを接続したため、①入力信号Vの周波数fが大きく急変した時には、抵抗R₂の両端にバッファアンプBAを介して接続したレベルリミッタL_Lが動作することにより、バッファアンプBAからの電流をレベルリミッタL_Lを介して第1のコンデンサC₁に供給して、第1のコンデンサC₁へのチャージを強力に行うことで、実質的に第1のコンデンサC₁の容量が低くなつたように動作するため、入力信号Vのうちでループゲイン交点周波数f_x以下の周波数f₁が一時的に高くなり応答性の良いループフィルタを実現できる。一方、②入力信号Vの周波数

fが大きく急変しない時には、レベルリミッタL_Lが動作しないため、本来のコンデンサC₁の効果が発揮でき、入力信号Vのうちでループゲイン交点周波数f_x以下の周波数f₁を低く保つて低域ジッタの少ないループフィルタを実現できる。更に、入力信号Vの周波数fが急変する時もしない時も、ループゲイン交点周波数f_x以上の高い周波数f₂を越える範囲に対してコンデンサC₂の働きにより高域ジッタを押さえることができる。

10 また、第2の発明によると、位相比較器Iから出力された位相比較信号V_iをオペアンプOAの負極性端子に入力し、且つ、抵抗R₂及びこの抵抗R₂と直列に接続した第1のコンデンサC₁と、第2のコンデンサC₂とをオペアンプOAの負極性端子と出力端子間に夫々並列に接続すると共に、抵抗R₂の両端に電位差監視回路VK、レベル判別回路LH、電流加算回路IKを順に接続したため、とくに、①入力信号Vの周波数fが大きく急変した時には、抵抗R₂の両端間の電位差が所定の設定レベルを越え、これに伴つて電流加算回路IKから電流を第1のコンデンサC₁に供給して、第1のコンデンサC₁へのチャージを強力に行うことで、実質的に第1のコンデンサC₁の容量が低くなつたように動作するため、入力信号Vのうちでループゲイン交点周波数f_x以下の周波数f₁が一時的に高くなり応答性の良いループフィルタを実現できる。一方、②入力信号Vの周波数fが大きく急変しない時には、電流加算回路IKが動作しないため、本来のコンデンサC₁の効果が発揮でき、入力信号Vのうちでループゲイン交点周波数f_x以下の周波数f₁を低く保つて低域ジッタの少ないループフィルタを実現できる。更に、入力信号Vの周波数fが急変する時もしない時も、ループゲイン交点周波数f_x以上の高い周波数f₂を越える範囲に対してコンデンサC₂の働きにより高域ジッタを押さえることができる。

【図面の簡単な説明】

【図1】本発明に係わる第1実施例のループフィルタ回路を示した図である。

【図2】本発明に係わる第1実施例のループフィルタ回路を採用したPLLのループゲイン特性を説明するための図である。

40 【図3】(A)、(B)は本発明に係わる第1実施例のループフィルタ回路の動作を説明するための波形図である。

【図4】本発明に係わる第2実施例のループフィルタ回路を示した図である。

【図5】本発明に係わる第2実施例のループフィルタ回路を一部変形して示した図である。

【図6】本発明に係わる第3実施例のループフィルタ回路を示した図である。

【図7】本発明に係わる第3実施例のループフィルタ回路を一部変形して示した図である。

50 【図8】一般的なPLLを示した図である。

【図9】従来の一般的なループフィルタ回路を示した図である。

【図10】従来の一般的なループフィルタ回路を示した図である。

【図1.1】従来の一般的なループフィルタ回路を示した図である。

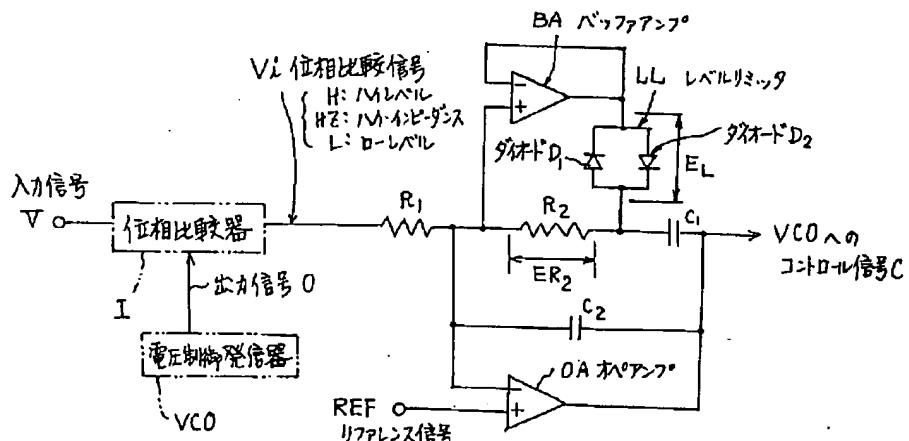
【符号の説明】

- L F 1 … 第1実施例のループフィルタ回路、
- L F 2 A, L F 2 B … 第2実施例のループフィルタ回路、
- L F 3 … 第3実施例のループフィルタ回路、
- C₁ … 第1のコンデンサ、

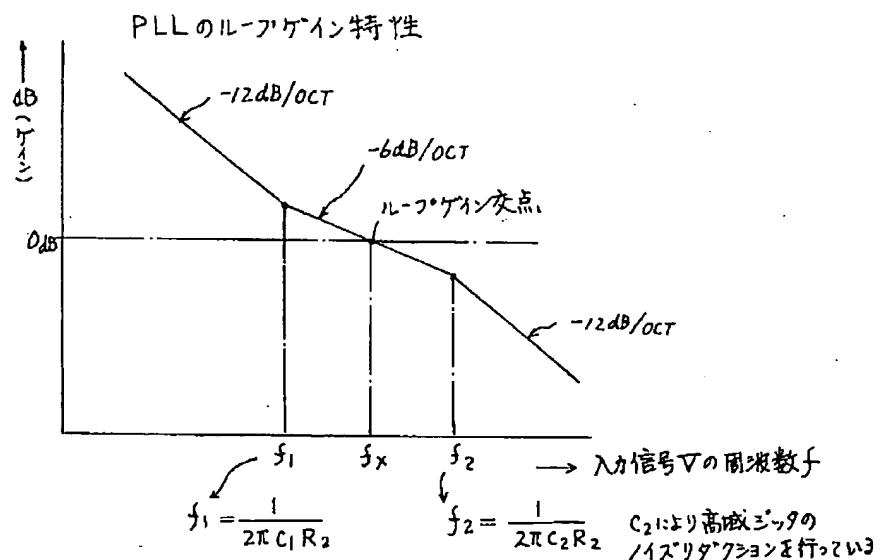
C₂ … 第2のコンデンサ、
 R₁ … 第1の抵抗、
 R₂ … 第2の抵抗、
 BA…バッファアンプ、
 I…位相比較器、
 LL…レベルリミッタ、
 OA…オペアンプ、
 VK…電位差監視回路、
 LH…レベル判別回路、
 10 IK…電流加算回路、
 V…入力信号、
 Vi…位相比較信号

【图1】

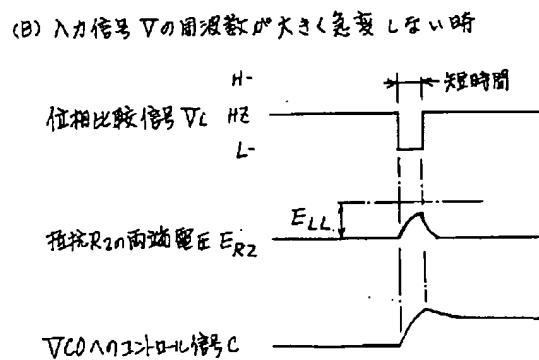
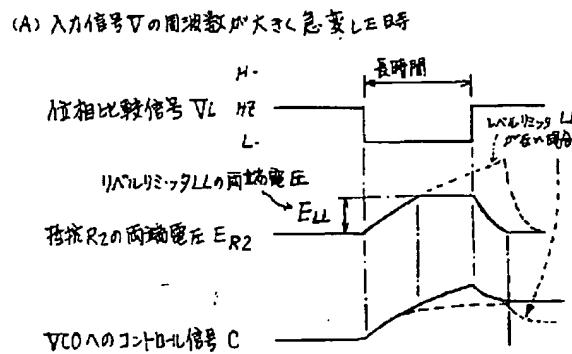
第1実施例のループフィルタ回路 LF1



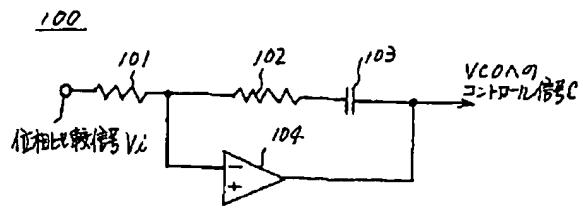
【图2】



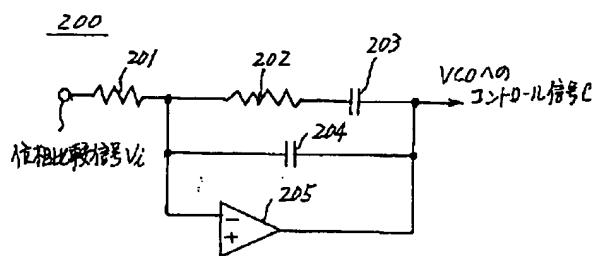
【図3】



【図9】

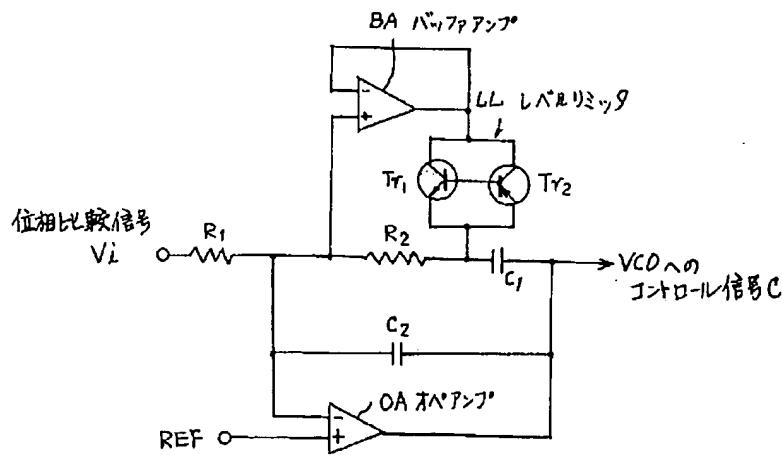


【図10】

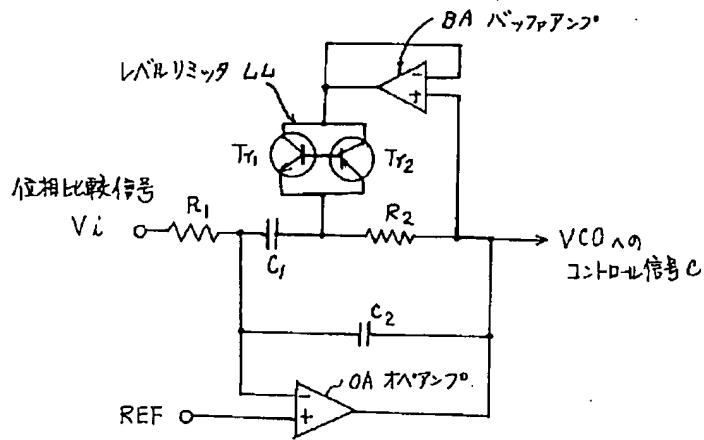


【図4】

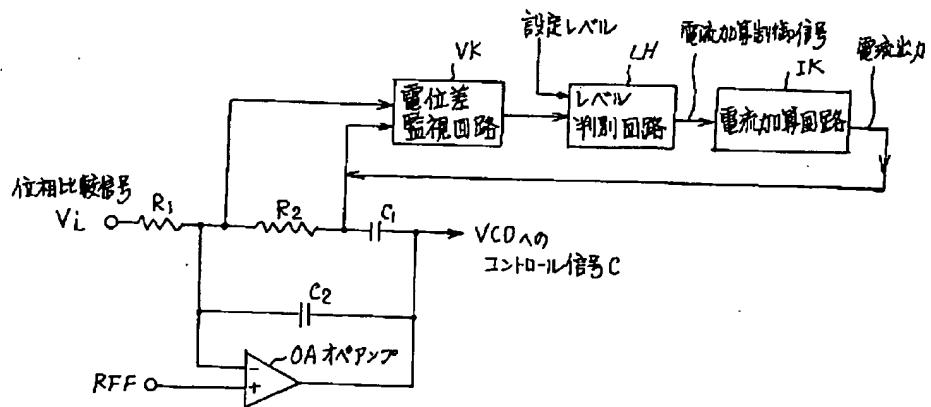
第2実施例のレーフィルタ回路 LF2A



【図5】

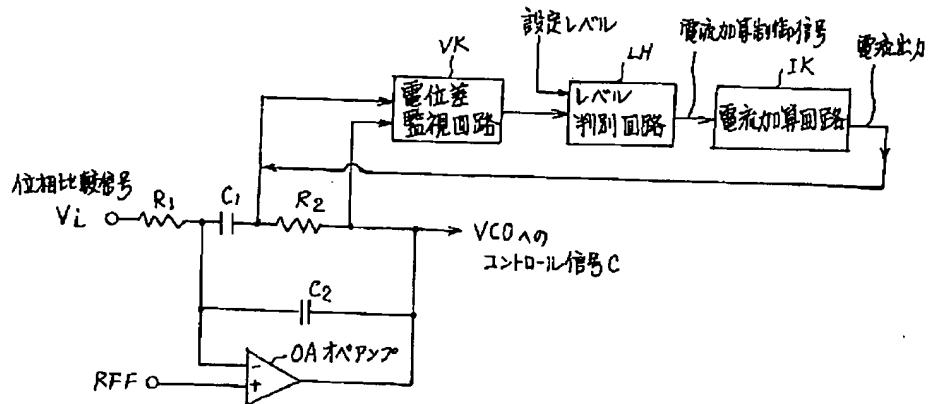
第2実施例を一部変形したループフィルタ回路 LF2B

【図6】

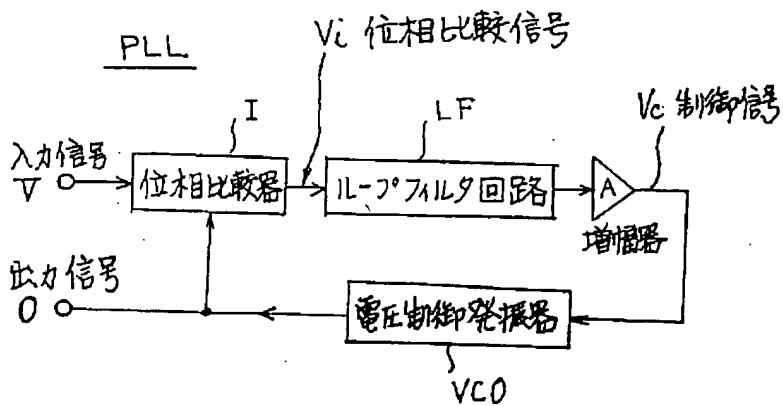
第3実施例のループフィルタ回路 LF3A

〔図7〕

第3実施例を一部変形したループフィルタ回路 LF3B



〔図8〕



【 1 1】

